

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26272^V

(P2002-26272A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/04

H 0 1 P 3/08

5 F 0 3 8

21/822

H 0 4 L 25/02

F 5 F 0 6 4

21/82

H 0 1 L 27/04

D 5 J 0 1 4

H 0 1 P 3/08

21/82

L 5 K 0 2 9

// H 0 4 L 25/02

審査請求 有 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願2000-209861 (P2000-209861)

(22) 出願日

平成12年7月11日 (2000.7.11)

(71) 出願人 598042633

大塚 寛治

東京都東大和市湖畔2-1074-38

(71) 出願人 598168807

宇佐美 保

東京都国分寺市西町2-38-4

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

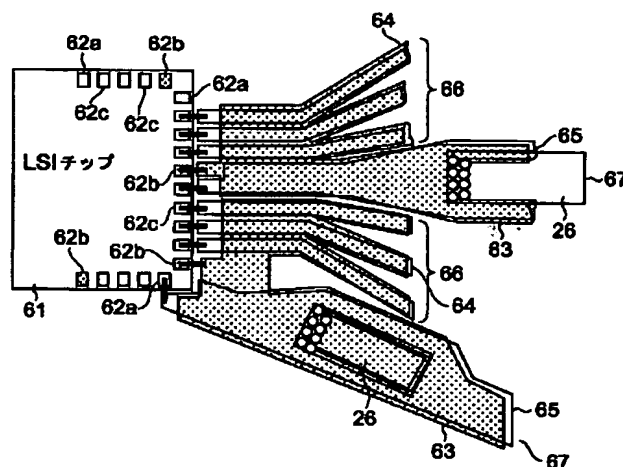
最終頁に続く

(54) 【発明の名称】 半導体回路装置

(57) 【要約】

【課題】電源／グランド配線の電荷供給能力やトランジスタ特性に律速されてトランジスタゲート回路のGHz帯におけるスイッチング動作がスムーズに制御できないことを解消することを特徴とする。

【解決手段】チップ61に電源パッド62a、グランドパッド62b、信号パッド62cが配置されている。チップ61周囲近傍では一体的に形成されており、チップ61からある程度離れた位置から複数に分離されたグランド配線63が設けられている。グランド配線63上にはそれぞれ複数の信号線64及び電源線65が形成されている。信号線64及び電源線65は、その下部のグランド配線63と共に放射状に延長されている。これらの信号線64と電源線65はそれぞれグランド配線63と共にスタックドベア線路としてベアになって引き出されている。



【特許請求の範囲】

【請求項 1】 所定の太さを有する電源配線と、上記電源配線と実質的に等しい太さを有し、上記電源配線と電気的に分離されかつ上記電源配線と重なった状態で配置されたグランド配線とからなる伝送線路を具備したことを特徴とする半導体回路装置。

【請求項 2】 前記電源配線及びグランド配線からなる前記伝送線路が、この伝送線路から電源電圧が供給される電子回路全体のインピーダンスと実質的に等しいかもしくはそれよりも低い特性インピーダンスを有することを特徴とする請求項 1 記載の半導体回路装置。

【請求項 3】 前記電源配線及び前記グランド配線はそれぞれ導電体からなる配線層からなり、前記配線層の幅が前記電源配線及び前記グランド配線の太さに相当することを特徴とする請求項 1 記載の半導体回路装置。

【請求項 4】 前記電源配線及び前記グランド配線とからなる前記伝送線路が半導体集積回路チップ内に形成されていることを特徴とする請求項 1 記載の半導体回路装置。

【請求項 5】 前記電源配線及び前記グランド配線とからなる前記伝送線路が配線板内に形成されていることを特徴とする請求項 1 記載の半導体回路装置。

【請求項 6】 前記電源配線及びグランド配線からなる前記伝送線路はその末端に至るまで電源／グランドペア伝送線路の構造を有していることを特徴とする請求項 1 記載の半導体回路装置。

【請求項 7】 前記電源配線及びグランド配線からなる前記伝送線路の特性インピーダンスが、この伝送線路から電源電圧が供給される電子回路全体のインピーダンスよりも高い場合に、上記電子回路に供給される電荷量の数倍ないし数十倍の電荷量を保持するバイパスコンデンサが上記電子回路の電源供給部もしくはその近傍に設けられていることを特徴とする請求項 3 記載の半導体回路装置。

【請求項 8】 前記バイパスコンデンサとこのバイパスコンデンサが接続されている配線における漏洩インダクタンスの合計が、 $1/A \text{ (GHz)} \times 100 \text{ ps} = X \text{ pH}$ (ただし、A は前記電子回路に供給されるクロックの周波数、X は計算されたインダクタンス値) 以下であることを特徴とする請求項 7 記載の半導体回路装置。

【請求項 9】 前記バイパスコンデンサは、前記電源配線及び前記グランド配線を構成する前記配線層の幅に近い幅を持つ少なくとも 2 つの平板状の導電体層と、上記平板状の導電体層相互間に設けられた絶縁体層と、上記導電体層の幅の方向と交差する方向で対抗する一対の辺のうち、前記電子回路に近い側に相当する辺に設けられ、前記電源配線及び前記グランド配線のそれぞれと接続される取出し電極とを有して構成されることを特徴とする請求項 7 記載の半導体回路装置。

【請求項 10】 前記伝送線路から電源電圧が供給される電子回路にはトランジスタゲート及びこのトランジスタゲートに接続された信号線が設けられ、さらに上記トランジスタゲートの電源側には直列に抵抗が挿入され、上記トランジスタゲートのオン抵抗を R_{on} 、上記信号線の特性インピーダンスを Z_0 、上記抵抗の値を R_{ps} としたときに、 $R_{on} + R_{ps} = Z_0$ を満たすように R_{ps} の値が設定されていることを特徴とする請求項 1 記載の半導体回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタル半導体回路装置における配線構造に係り、特に高周波動作に適した半導体装置や半導体集積回路チップにおける配線構造に関する。

【0002】

【従来の技術】デジタル半導体回路装置にあって、トランジスタはオン／オフするスイッチ回路として機能する。トランジスタがオンしても電気エネルギーが供給されない限り、トランジスタから信号は出力されない。トランジスタは、電気エネルギーを供給する電源と、その供給されたエネルギーが排出されるグランドとに接続されている。トランジスタゲート回路が急速にオン状態になり、そのオン抵抗が小さいとき、ゲート回路に接続されている電源から電気エネルギー（電荷）を供給しようとしても、電源配線の電荷供給能力が足りないという現象が起こる。

【0003】電源配線がなぜ電気エネルギーを供給できないかについては後に詳細に説明するが、電源／グランド配線を伝送線路と見立て、その特性インピーダンスを例えば 50Ω とし、ゲート回路のオン抵抗がそれよりも低い例えば 15Ω であれば、電源配線の電荷供給能力が足りないということになる。幸い、ゲート回路に接続された信号線の特性インピーダンスが 50Ω 以上である場合が多く、電気エネルギーの供給不足という問題は免れるが、そうでない場合には、電源／グランド配線の特性インピーダンスを下げるが必要になる。

【0004】もう一つの問題は、急峻な電流増加に対して抵抗する配線のインダクタンスの挙動がある。せっかく、電源／グランド配線の特性インピーダンスを信号線のそれよりも小さくしても、ゲート回路が急速にオン状態になると、電源／グランド配線に付随している寄生インダクタンスの影響により、電源／グランド配線による電気エネルギーの供給が追いつかなくなる。従って、電源／グランド配線の寄生インダクタンスを下げることも必要になる。

【0005】さらにもう一つの問題として、トランジスタのゲート電極に付随しているゲート容量のチャージが完了するまで、信号が十分なレベルまで出力されないことがある。すなわち、出力信号の電位レベルが短時間で

所定レベルまで達しないという問題がある。これがトランジスタ自身の動作遅れであり、出力信号の電位レベルが所定レベルに達するまで、電源電流が流れ続けることになる。このときの負荷のインピーダンスは信号伝送経路の特性インピーダンスとは異なり、単純に言えば電流は無限大となる。電源／グランド配線がペア伝送線路であれば、この間、電源／グランドペア伝送線路に反射ノイズが乗る。

【0006】

【発明が解決しようとする課題】このように、従来の半導体回路装置では、電源／グランド配線の電荷供給能力やトランジスタ特性に律速されて、トランジスタゲート回路のスウィッチングをスムーズに制御できない状態がGHz帯で動作するデジタル回路で顕著となる。

【0007】この発明は上記のような事情を考慮してなされたものであり、その目的は、電源／グランド配線の電荷供給能力を十分にし、トランジスタゲート回路の特性が制限とならない半導体回路装置を提供することである。

【0008】

【課題を解決するための手段】この発明の半導体回路装置は、所定の太さを有する電源配線と、上記電源配線と実質的に等しい太さを有し、上記電源配線と電気的に分離されかつ上記電源配線と重なった状態で配置されたグランド配線とからなる伝送線路を具備している。

【0009】前記電源配線及びグランド配線からなる前記伝送線路は、この伝送線路から電源電圧が供給される電子回路全体のインピーダンスと実質的に等しいかもしくはそれよりも低い特性インピーダンスを有する。

【0010】前記電源配線及び前記グランド配線はそれぞれ導電体からなる配線層からなり、前記配線層の幅が前記電源配線及び前記グランド配線の太さに相当する。

【0011】前記電源配線及び前記グランド配線とからなる前記伝送線路は半導体集積回路チップ内に形成されている。

【0012】前記電源配線及び前記グランド配線とからなる前記伝送線路は配線板内に形成されている。

【0013】前記電源配線及びグランド配線からなる前記伝送線路はその末端に至るまで電源／グランドペア伝送線路の構造を有している。

【0014】前記電源配線及びグランド配線からなる前記伝送線路の特性インピーダンスが、この伝送線路から電源電圧が供給される電子回路全体のインピーダンスよりも高い場合に、上記電子回路に供給される電荷量の数倍ないし数十倍(最高100倍)の電荷量を保持するバイパスコンデンサが上記電子回路の電源供給部もしくはその近傍に設けられている。

【0015】前記バイパスコンデンサとこのバイパスコンデンサが接続されている箇所と電子回路の電源供給部との間の配線における漏洩インダクタンスは、 $1/A$

$(\text{GHz}) \times 100 \text{ p s} = X \text{ p H}$ (ただし、Aは前記電子回路に供給されるクロックの周波数でGHzを単位としたもの、Xは計算されたインダクタンス値で、たとえば2GHzであればXは50pHとなる)以下のインダクタンスを有する。

【0016】トランジスタのオン時の急激な電流変化に対応するため、バイパスコンデンサの寄生インダクタンス(電流経路から見れば漏洩インダクタンス)を小さくすることが必要で、上記式はGHz帯域で動作するデジタル回路で経験的に体得した計算式(単位不整合)である。

【0017】前記バイパスコンデンサは、前記電源配線及び前記グランド配線を構成する前記配線層の幅に近い幅を持つ少なくとも2つの平板状の導電体層と、上記平板状の導電体層相互間に設けられた絶縁体層と、上記導電体層の幅の方向と交差する方向で対抗する一対の辺のうち、前記電源配線及び前記グランド配線に流れる電荷のLSIに近い側に相当する辺に設けられ、前記電源配線及び前記グランド配線のそれぞれと接続される取出し電極とを有して構成される。

【0018】前記伝送線路から電源電圧が供給される電子回路にはトランジスタゲート及びこのトランジスタゲートに接続された信号線が設けられ、さらに上記トランジスタゲートの電源側には直列に抵抗が挿入され、上記トランジスタゲートのオン抵抗を R_{on} 、上記信号線の特性インピーダンスを Z_0 、上記抵抗の値を R_{ps} としたときに、 $R_{on} + R_{ps} = Z_0$ を満たすように R_{ps} の値が設定されている。

【0019】

【発明の実施の形態】まず、実施形態の説明の前に、この発明の原理について以下に説明する。

【0020】図1(a)は、トランジスタゲート回路の一端に電源ソースを接続し、他端には信号伝送路10を介して終端抵抗 R_L を接続した場合の回路モデルを示している。ここで、上記トランジスタゲート回路は1個のMOSトランジスタQ1からなり、このMOSトランジスタQ1が理想的な入力信号でオンしたときは、オン電流 $I_0 = V_{dd} / R_{on}$ が流れる。ただし、 V_{dd} は電源電圧、 R_{on} はMOSトランジスタQ1のオン抵抗である。

【0021】トランジスタQ1にスイッチ遅れがないとすると、トランジスタQ1がオン状態になった次の瞬間、電流は信号伝送路10に遭遇し、その特性インピーダンス Z_0 に相当する抵抗を受ける。このときの等価回路が図1(b)である。このとき、信号伝送路10には、 $I_T = V_{dd} / (R_{on} + Z_0)$ なる電流が流れる。通常、 I_0 は無視し、 I_T の流れる電荷を電源ソースが供給できるかが問われることになる。電流は電荷の移動量

10

20

30

40

50

を定義するものであり、電荷量 Q は $Q = I \times t$ (t は時間) で与えられる。空間的電荷密度を規定することは難しいが、各場所における空間的な電荷密度がその場所の電圧となる。 V_{dd} が各場所で保証されないことはイメージ的に判明される。電源ソースが理想的なものであり、信号伝送路10における伝送遅れ時間 t_{pd} の期間中、この状態が続いたとすると、伝送線路10にチャージされた全電荷量 Q_T は $Q_T = I_T \times t_{pd}$ となる。

【0022】この後、電流 I_T は新たな負荷 R_L を感じるようになる。伝送線路10は既にチャージが完了しているため、もはや負荷とはならず、この場合の等価回路は図1(c)に示すようになる。すなわち、このとき、伝送線路10には $I_L = V_{dd} / (R_{on} + R_L)$ なる電流が流れる。伝送線路10に流れた電流 I_T が負荷 R_L に遭遇した瞬間 I_L になるため、 $I_T > I_L$ であれば電荷はそのまま反射して伝送線路10を戻ることになる。

【0023】しかし、 $I_T < I_L$ のときは、負の反射が起こる。 $2 t_{pd}$ の後に、電源ソースはこの影響を受けるが、本発明はあくまでも初期状態における種々の問題を解決することを目的としているので、この問題については説明を省略する。ただし、最初の問題をよくすることは二次的な問題を改善することになり、回路形式に対する設計的マージンを拡大するものである。

【0024】これらの状態変化は光速で行われる。トランジスタのスイッチ速度は伝送線路の長さの光速に対して、あまりにも遅く、潮の満ち引きに似た状態であるため、従来では図1を用いて説明したような時間ずれの問題を意識することはなかった。

【0025】次に、図1に示される回路モデルにおける電荷密度の変化状態を、図2に示すようにタンク、バルブ及びパイプを用いたパイプラインのモデルを用いて説明する。

【0026】水(電荷)の詰まった大きなタンク11からパイプ12を通してバルブ13がつながり、バルブ13の下には空のパイプ14を通して細いパイプからなる負荷パイプ15がつながっているパイプラインを想定すると、タンク11は電源ソース、それにつながるパイプ12は電源配線、バルブ13はトランジスタゲート、パイプ14は信号配線、負荷パイプ15は負荷という図1の回路と見なせる。

【0027】図中、細かな点を施した部分は水(電荷)が溜まっていることを示し、ここでは水はバルブ13(トランジスタ)の真上まで詰まっているとする。

【0028】いま、電源配線と信号配線を同じ太さのパイプ、つまり同じ特性インピーダンスとすると、図3のような概念となる。

【0029】バルブ13が開放された瞬間、図3(a)に示すように、パイプ12のバルブ13真上まで詰まっていた水(電荷)はバルブ13よりも下に流れ落ちる。重力という問題を無視しても、水圧0の空間に水が拡散し

ていく。このため、バルブ13真上のパイプ12における水圧(電圧)は当然低下する。低下した水圧の情報が圧力の伝わる速度でタンク11に伝わるが、パイプ12が長いためにしばらく時間がかかる。圧力が伝わる速度は音速(電気信号では光速)である。ちなみに、水の場合は約1000m/sである。この間、拡散していくパイプの体積分を補うためには、その対象部分の水は体積膨張しなければならない。すなわち、その分、水圧は低下する。バルブ13より上側及び下側のパイプ12、14は同じ太さのため、ちょうど2倍の体積となる。水は固体と同様に体積はほとんど膨張しない。従って、図3(b)に示すように、パイプの断面の半分しか詰まらない水の流れとなる。

【0030】図1の電子回路でも全く同様に考えることができる。電子密度は空気のようにいくらでも変えられるため、図3(a)に示すような概念となる。当然、その伝達速度は光速である。電子密度が半分に希釈されると、電圧もその半分、つまり $1/2 V_{dd}$ になることはいうまでもない。トランジスタ特性から、オン電流 I_T は $I_T = V_{dd} / (R_{on} + Z_0)$ となることが期待されたが、 $2 t_{pd}$ のまでの時間ではオン電流としては $(1/2) I_T = (1/2) V_{dd} / (R_{on} + Z_0)$ しか流れないことになる。

【0031】ここで、電源配線は信号配線と同じ太さで同じ特性インピーダンスとした場合である。仮に、信号配線の伝送遅れ t_{pd} が1nsであるとする、1GHzのクロック(デューティが50%として、オン期間が0.5ns)は、1周期の時間だけ信号配線で遅れることになる。

【0032】ここまで説明すれば明らかであるが、電源配線のパイプを太くする、すなわち特性インピーダンスを小さくすれば上記のようなオン電流の低下を防止することができる。これが本発明の原理である。

【0033】図4にこの発明の半導体回路装置を、図3と同様にタンク、パイプ及びバルブを用いたモデルで概念的に示す。図4では、図3に比べてタンク11側のパイプ12の太さが、負荷側のパイプ14に比べて太くなっている。このようなパイプラインに相当する電子回路は、図5に示すようになる。図5において、電源ソース21、電源配線22、スイッチ用のMOSトランジスタ Q_1 、信号配線24及び負荷 R_L は、図4中のタンク11、パイプ12、バルブ13、パイプ14及び負荷パイプ15それぞれに相当する。なお、図5の電子回路では、電源配線22及び信号配線24として、電源/グランド、信号/グランドからなるペア線を用いている。そして、図示するように、電源/グランドペア線における特性インピーダンスを Z_{0ps} 、伝送遅れを t_{pdps} 、信号/グランドペア線における特性インピーダンスを Z_0 、伝送遅れを t_{pd} とする。

【0034】図4のモデルにおけるパイプ14によって

希釈される体積が小さい分、図5の電子回路では電源配線22における電圧低下が少なくなる。例えば、電源配線22の特性インピーダンスを10Ω、信号配線24のそれを50Ωとすると、トランジスタQ1のオン抵抗が10Ωとときの電圧低下は、 $\{(50+10)/(10+10+50)\}V_{dd}=0.857V_{dd}$ になる。

【0035】次にこのことを詳細に説明する。電源ソース21に接続された特性インピーダンス Z_{0ps} を有する電源/グランドペア線を介して電流が流れるため、電源/グランドペア線の長さによる伝送遅れ t_{pdps} の時間だけ、信号/グランドペア線に $V_{dd} \times (R_{on} + Z_0) /$

$(R_{on} + Z_0 + Z_{0ps})$ なる電圧低下が起こる。ここで、もう少し正確に時間を規定する。 t を電圧低下の起こる時間とすると、 $t_{pd} \geq t_{pdps}$ のとき、 $0 < t < t_{pdps}$ となる。 $t_{pd} \leq t_{pdps}$ のときは $0 < t < t_{pd}$ となり、遅延時間が t_{pdps} までの、 $t_{pd} < t < t_{pdps}$ のときは $V_{dd} \times (R_{on} + R_L) / (R_{on} + R_L + Z_{0ps})$ の電圧低下に変化する(図1参照)。

【0036】電源ソース21が電源/グランドペア線における電圧低下を感じてそれを補充するまでの時間があり、さらにその後に引き続く電圧変動が生じるが、本発明は初期状態の改善に係わるものでなのでその説明は省略する。

【0037】さて、電源/グランドペア線の特性インピーダンスが信号/グランドペア線のそれと実質的に同じであるとし、トランジスタQ1のオン抵抗がこれら特性インピーダンスに比べて無視できるとすると、 $(1/2)V_{dd}$ の振幅が負荷 R_L に加わる。ここで、上記負荷 R_L がCMOSゲートであり、その入力容量が数十fF程度であれば、ほぼ開放端であると見なすことができ、信号エネルギーは全反射する。これによりCMOSゲートが受ける電圧は $(1/2) \times 2V_{dd} = V_{dd}$ となる。これでゲートに伝わる信号は正常になり、信号配線の伝送遅れのみで伝送されたことになる。従って、負荷に伝わる信号が正常となる場合の最悪条件は、電源/グランドペア線の特性インピーダンスが、信号/グランドペア線の特性インピーダンスと実質的に等しいことであり、好ましくはそれ以下である。

【0038】ここで、数本の信号線に対して供給される電荷が1本の電源/グランドペア線のみによって伝達される場合、電源/グランドペア線の特性インピーダンスは各信号線のその本数分の1以下となる。すなわち、 $Z_{0ps} \leq Z_0/N$ (Z_{0ps} は電源/グランドペア線の特性インピーダンス、 Z_0 は信号線の特性インピーダンス、 N は共有される信号線の本数)となる。信号線が2本($N=2$)の場合を例示したのが図6の回路図である。

【0039】すなわち、図6において、電源/グランドペア線22には、ドライバとしての2つのMOSトランジスタQ1、Q2の各一端が接続されている。これら2つのMOSトランジスタQ1、Q2は入力信号に基づい

てオン/オフ制御される。上記2つのMOSトランジスタQ1、Q2の他端には信号伝送線路としての2本の信号/グランドペア線24-1、24-2の各一端が接続されている。この2本の信号/グランドペア線24-1、24-2の各他端は終端抵抗 R_{L1} 、 R_{L2} それぞれで終端されている。なお、MOSトランジスタQ11、Q12はレシーバとしてのMOSトランジスタである。

【0040】ここで、2本の信号/グランドペア線24-1、24-2それぞれの特性インピーダンスを Z_0 とすると、負荷に伝わる信号の電圧が正常になる場合の最悪条件は $Z_{0ps} \leq (1/N)Z_0$ となる。

【0041】ところで、トランジスタゲート(図5中のMOSトランジスタQ1や図6中のMOSトランジスタQ1、Q2)の近くで電源/グランドペア線22が連続したような伝送線路でなければ、せっかくの電荷供給が迅速に行われず、先に説明したような効果が十分に得られなくなる。

【0042】すなわち、電源/グランドペア線22が途中で途切れた伝送線路である場合、図2中のバルブ13につながるパイプ12の結合部が細いパイプになっている状態となる。これをできるだけ避ける構造が取られるべきであり、その構造について以下に説明する。

【0043】前述のように、 $V_{dd} \times (R_{on} + Z_0) / (R_{on} + Z_0 + Z_{0ps})$ によって与えられる電圧低下の時間を規定すると、 $0 < t < t_{pdps}$ となることを説明したが、一般に電源ソースは遠い位置にあり、 $t_{pd} \leq t_{pdps}$ のときはこの電圧低下の時間が長くなる。電源/グランドペア線22の終端にCMOS構成のみではなく、容量の大きな種々の構成のゲート回路が接続できるようにするためには、図6に示すようにトランジスタゲート回路(すなわちトランジスタQ1、Q2)の直前で、グランドとの間にバイパスコンデンサ26を接続すればよい。

【0044】バイパスコンデンサ26を接続すると、このコンデンサ26は常時電荷をチャージしている状態となり、ゲート回路の急峻な開閉時に、電荷を供給する電源の働きをする。このバイパスコンデンサ26として必要な容量は次のようにして決定される。

【0045】例えば、図6において、終端抵抗 R_{L1} または R_{L2} がついたレシーバ端を考えると、図1で説明したようにトランジスタQ1及びQ2がオンすると、2本の信号/グランドペア線24-1、24-2のそれぞれには $I_T = V_{dd} / (R_{on} + Z_0)$ なるオン電流が流れる。電源/グランドペア線22に接続されている回路が2回路のため、オン電流はこの2倍となる。先の t_{pd} の期間、この電流が流れ、この時の電圧上昇でレシーバ(トランジスタQ11、Q12)がオンになる。その電荷量 Q_T は次式で表される。

【0046】 $Q_T = 2 \times I_T \cdot t_{pd} = 2 \times t_{pd} \cdot V_{dd} / (R_{on} + Z_0)$

いま、例えば $R_{on} = 10 \Omega$ 、 $V_{dd} = 0.5 \text{ V}$ 、 $Z_0 = 28 \Omega$ 、 $t_{pd} = 1 \text{ ns}$ とすると、 $Q_T = 26 \text{ pC}$ となる。すなわち、 0.5 V の電源電圧の下では 52 pF となり、十分に余裕をみてこの数倍から数十倍（最高 100 倍）、例えば 5 倍から 20 倍の容量をバイパスコンデンサ 26 に持たせるとすると、その値は $260 \sim 1040 \text{ pF}$ となる。そして、このような容量を持つバイパスコンデンサ 26 をトランジスタゲート回路の電源供給部もしくはその近傍に、トランジスタゲート回路にできるだけ近くに配置させる。

【0047】ここで、上記バイパスコンデンサ 26 を接続する位置と、各回路点における電圧及び電流の関係についてシミュレーションした結果について説明する。

【0048】図7は、シミュレーションを行った回路の構成を示しており、電源ソース 31 は 3.3 V である。また、先の電源／グランドペア線 22 に相当するものは電源／グランドペア線 32 であり、このペア線 32 はある程度の容量とインダクタンスを有しており、容量は符号 33 で、インダクタンスは符号 34 でそれぞれ示されている。また、電源／グランドペア線 32 における伝送遅延は 0.5 ns とした。このようにしたことで、伝送線路の反射が出るので、例えば 15Ω の値の終端抵抗 35 を電源／グランドペア線 32 の末端に接続している。

【0049】先のバイパスコンデンサ 26 に相当するものがコンデンサ 36 であり、このコンデンサ 36 の接続位置によって値が変わるインダクタンスは符号 37 で示されている。この場合、信号／グランドペア線は1つしか設けられていないので、コンデンサ 36 の容量は $0.01 \mu\text{F}$ にしてある。インダクタンス 37 の値は、電源／グランドペア線 32 から電源電圧が供給されるトランジスタゲート回路に対してバイパスコンデンサ 26 が 5 mm 離れた位置に接続されている場合を 5 nH 、 0.5 mm 離れた位置に接続されている場合を 0.5 nH としている。

【0050】トランジスタゲート回路は、信号／グランドペア線に対して電源電圧を供給する側とグランドに落とす側の2種類のスイッチからなるCMOSドライバ回路を想定している。このCMOSドライバ回路は4個のスイッチ $S1 \sim S4$ によって構成されている。そして、上記2個のスイッチ $S2$ 、 $S3$ の共通ノードが信号／グランドペア線 38 の信号線に接続されている。また、信号／グランドペア線 38 の終端には例えば 50Ω の等価抵抗で示されるレシーバ 39 が接続されている。

【0051】なお、電源／グランドペア線 32 の終端抵抗 35 とグランドとの間に接続されているスイッチ 40 は、シミュレーションを行う際の初期設定用であり、実際の回路では不要なものである。

【0052】ここで、トランジスタゲート回路に対してパルス状の信号を入力したときの電源電流の変化、トランジスタゲート回路の出力電圧の変化及びレシーバ入力

電圧の変化をそれぞれ測定したところ図8に示すような結果が得られた。ここで図8(a)、(b)は、バイパスコンデンサ 26 の接続位置が離れており、先のインダクタンス 37 の値を 5 nH としたときの、図7中の $P1$ 点における電源電流の変化と、図7中の $P2$ 、 $P3$ 点における電圧の変化とを示している。また、図8(c)、(d)は、バイパスコンデンサ 26 の接続位置が近く、先のインダクタンス 37 の値を 0.5 nH としたときの、図7中の $P1$ 点における電源電流の変化と、図7中の $P2$ 、 $P3$ 点における電圧の変化とを示している。

【0053】図8(a)、(c)から明らかなように、インダクタンス 37 の値が 0.5 nH よりも 5 nH の方が、スイッチ $S1$ 、 $S2$ がオンした後に電源電流が大きく揺らいでいる。なお、それよりも前の -220 mA の大きな電流は、シミュレーションを行う際の初期設定用スイッチ 40 のスイッチング動作によるものであり、本来の特性とは無関係である。これから明らかなように、バイパスコンデンサ 26 の接続位置がトランジスタゲート回路から 5 mm も離れていると問題になる。

【0054】一方、トランジスタゲート回路の出力電圧及びレシーバ入力電圧については、いずれの場合にも、インダクタンス 37 の値が 5 nH の方が大きく揺らいでおり、なかなか収束しない。この場合、図7中の $P2$ 点における電圧は 1 ns という早い時間で立ち上がり、等価周波数は 300 MHz に相当する。 1 ns よりも 1 桁早い 100 ps の立ち上がり時間の場合には、等価周波数は 3 GHz となり、図8(a)、(b)の場合のインダクタンス 37 の値は 0.5 nH 、図8(c)、(d)の場合のインダクタンス 37 の値は 0.05 nH となる。これは 0.5 mm と 0.05 mm の距離に相当することになり、トランジスタゲート回路が高周波で動作する程、バイパスコンデンサ 26 はトランジスタゲート回路に近い位置に設ける必要があることを意味している。このバイパスコンデンサ 26 とこのバイパスコンデンサが接続されている配線における漏洩インダクタンス X_{pH} の値は、 $1/A(\text{GHz}) \times 100 \text{ ps}$ 以下（ただし、 A は先の等価周波数）となるようにすることが望ましい。上記計算式は、 GHz 帯域で動作するデジタル回路で経験的に体得した計算式（単位不整合）である。

【0055】しかし、トランジスタやキャパシタ共に物理的な大きさがあり、それらの小型化に限界があることから、図9に示すように、バイパスコンデンサ 26 は電源／グランドペア線 22 の途中に配置せざるを得なくなることが多い。このとき、バイパスコンデンサ 26 は $t_{pd} + t_{pdpsl}$ （ただし、 t_{pdpsl} は2つの部分からなる電源／グランドペア線 22 における一方の伝達遅延時間）の時間チャージすることになり、その分、容量を増大をすればよいことになる。上記の例で t_{pdpsl} の遅延時間が 0.1 ns のとき、バイパスコンデンサ 26 の容量は $156 \sim 572 \text{ pF}$ となる。

【0056】種々の条件で考えても、バイパスコンデンサ26の容量は500pF～5nFで十分であるため、低インダクタンスな構造をとることができる。このバイパスコンデンサ26の具体的な構造に関しては後述する。

【0057】ところで、電源／グランドペア線22は連続して一定の特性インピーダンスを持っている。ここで、電源／グランドペア線22に接続されているトランジスタがオン状態になり、そのオン抵抗を介して電荷が流れ始めたとする。もし、トランジスタの容量成分が0であれば、電源／グランドペア線22からの電荷は瞬時に信号伝送線路に流れ、この伝送線路の特性インピーダンスで制限される。図1で説明したように $IT = V_{dd} / (R_{on} + Z_0)$ で電荷すなわち電流が流れる。

【0058】しかし、トランジスタにゲート容量CGがあると、オン抵抗を感じる前にこの容量CGに遭遇し、その瞬間に抵抗が0になり、スパイク電流が流れ、電圧0になる。その後、オン抵抗に遭遇し、電圧低下は回復していくが、電圧が上昇していく際の特性は、 $v = V_{dd} \cdot \exp(-t / R_{on} CG)$ となる。その後 $IT = V_{dd} / (R_{on} + Z_0)$ の定常状態になる。電源／グランドペア線22からすれば、小さなインピーダンス、すなわちオン抵抗×ゲート容量によって決定される時定数の遅延時間と等価な伝送線路が信号伝送線路の前についたことになる。その結果として負の反射が起こるため、電源／グランドノイズが発生する。

【0059】これを防止するためには、図10に示すように、トランジスタゲート回路50の電源／グランドペア線22の電源供給部に直列に抵抗51を挿入すればよい。この抵抗51の値Rpsは、 $Z_0 = R_{on} + R_{ps}$ の関係を満たすように設定される。

【0060】この結果、トランジスタの時定数動作遅れ t_l は、 $t_l = (R_{on} + R_{ps}) CG$ となる。Rpsのないときと比べて、遅れ $\Delta t = R_{ps} \cdot CG$ が生じるが、信号パス回路では大きな問題とはならない。今後、SOI (Silicon On Insulator) 等のトランジスタ構造になることを考え、ゲート容量CGを小さくする方向になれば大きな問題は起こらないと予想される。

【0061】次に、本発明を、LSI (Large Scale Integrated circuit) チップ及びパッケージを含む半導体装置に実施した第1の実施の形態について説明する。

【0062】図11の平面図に示すように、LSIチップ61の周辺部には3種類のパッド62a、62b、62cがそれぞれ複数配置されている。パッド62aはそれぞれ電源パッドであり、パッド62bはそれぞれグランドパッドであり、パッド62cはそれぞれ信号パッドである。また、チップ61周囲にはチップ61の近傍では一体的に形成されており、チップ61からある程度離れた位置から複数に分離された導電体層からなる図中細かな点を施したグランド配線63が設けられている。こ

のグランド配線63上には、図示しない層間絶縁膜を介して、グランド配線63とは異なる層の導電体層からなるそれぞれ複数の信号線64及び電源線65が形成されている。上記信号線64及び電源線65は、その下部のグランド配線63と共に放射状に延長されている。これらの信号線64と電源線65は、先のグランド配線63が複数に分離されている箇所から、グランド配線63と共にスタックドペア線としてそれぞれペアになって引き出されている。

10 【0063】図11の例では、3組の信号／グランドペア線66に対して1組の電源／グランドペア線67が1セットとして配置されている。このため、電源／グランドペア線67の幅は信号／グランドペア線66の幅の実質上、3倍以上とすることで、先に説明した $Z_0 ps \leq$

(1/N) Z_0 の条件を満足することができる。もちろん、電源／グランドペア線67間の層間絶縁膜の膜厚が信号／グランドペア線66におけるそれより薄いときは、線幅の関数とはならず、電源／グランドペア線67の幅は信号／グランドペア線66の幅の3倍未満、あるいはそれ以下、さらには同じ線幅にしてもよい。要するに $Z_0 ps \leq (1/N) Z_0$ の条件を満足するような伝送線路がチップ周辺の近傍まで配置形成されていることである。

【0064】また、LSIチップ61は、フリップチップやTABボンディングチップであっても対応できることは図11から容易に類推できる。チップ上のパッドやパッドの代わりに設けられるバンパに対し、できるだけ近い位置まで $Z_0 ps \leq (1/N) Z_0$ の条件を満足する伝送線路を配置することが基本条件である。

30 【0065】ところで、電源／グランドペア線67は、先のバイパスコンデンサ26の取り付け位置で2つに分岐し、再び合流する平面形状となっており、分岐している部分のそれぞれは分岐しないところの実質上1/2の線幅にされている。これにより、電源／グランドペア線67の特性インピーダンスが連続性を保つようにされている。

【0066】バイパスコンデンサ26は、図示のようにフリップチップ型電極を有し、電極パッドとグランドパッドがほぼ同じ位置から引き出され、電源／グランドペア線67に接続されている。また、パッドの位置は、LSIチップ内のトランジスタゲートのある側にされている。これにより、コンデンサのパッドの引き出しベクトルが、トランジスタのゲートに向かっていく電源／グランドペア線67と同じベクトルとなる。

【0067】LSIチップ61の信号パッド62cから入力された信号は、一般にチップ61内ではレシーバに供給されている。またレシーバとセットにされたドライバから信号が出力され、信号パッド62cを介してチップ外部に出力されている。これらレシーバ及びドライバは共に電源及びグランドに接続されている。

【0068】図12は、本発明の第2の実施の形態によるLSIチップ内の上記レシーバ及びドライバ周辺の構成を示す平面図である。なお、図12において、図11と対応する箇所には同じ符号を付して説明を行う。図において、71はそれぞれレシーバ、72はそれぞれドライバである。これらレシーバ71及びドライバ72はトランジスタの物理構造とせず、三角記号で表現しているが、先端がチップの内側に向いているものがレシーバであり、逆に外側に向いているものがドライバであることは容易に類推できる。

【0069】先に説明したように、電源／グランドペア線67はトランジスタゲート、すなわちレシーバ71及びドライバ72の近くでも伝送線路でなければならないので、電源／グランドペア線67はレシーバ71及びドライバ72の真上まで延長配置されるべきであり、図12はこの一例を示している。なお、この場合にも、図示するように電源／グランド間にバイパスコンデンサ26を接続するようにしてもよい。

【0070】レシーバ71及びドライバ72などのトランジスタゲートに対するグランド接続は、図12中のA-A'線における断面図である図13に示されるように、上層にあるグランド配線63に対して層間接続を図り、電源接続はグランド配線63を飛び越したその上の電源配線65との接続を図ればよい。電源配線65に対する接続方法はプリント配線板におけるスルーホール構造や、グランド層に電源ランドを設けてステップ毎の接続のどちらかでもよいことはいうまでもない。信号配線73はグランド配線63とペア伝送線路になっているが、ここで重要なことはグランド配線63がいわゆる盲腸配線になっていないことである。信号／グランドペア伝送線路を構成するグランド配線は、グランドパッド62bに接続され、電源／グランドペア線67を構成するグランド配線63から分岐されて信号パッド62cの位置まで延長されたグランド配線63の一部によって構成されている。レシーバ71及びドライバ72側では、図中斜線を施した丸で示される接続部74を介して電源配線65と接続され、図中白抜きの丸で示される接続部75を介してグランド配線63と接続されている。

【0071】図14は、前記バイパスコンデンサ26の詳細な構成を示す斜視図である。このコンデンサは、複数（本例では6層）の平板状の導電体層81が図示しない絶縁体層を介して積層されており、互いに重なり合った一方の導電体層81が電源層、他方がグランド層を構成している。また、これら複数の導電体層81はそれぞれ、前記図11中の電源／グランドペア線67を構成する電源配線65及びグランド配線63の幅に近い幅Wを持つ。また、上記導電体層81の幅の方向と交差する方向で対抗する一対の辺のうち、前記電源配線65及びグランド配線63に流れる電荷のLSIに近い側に相当する辺には、前記電源層及びグランド層を構成する各層の導

電体層81と接続される電源層用及びグランド層用の複数の層間接続用スルーホール電極82、83が設けられている。

【0072】図15は、図14に示すコンデンサにおいて、1つの導電体層81における電荷の流れる様子を模式的に示しており、同様に、図16は、電源層及びグランド層に相当する1対の導電体層81における電荷の流れる様子を模式的に示している。なお、図15及び図16において、84及び85は、上記層間接続用スルーホール電極82、83と電源／グランドペア線67を構成する電源線65及びグランド配線63それぞれとを接続するフリップチップ構造の電極部である。

【0073】図15及び図16から明らかなように、プラス、マイナスの電荷の流れる方向が出口（電極部84、85）に向かって同じ方向で、それが平面いっぱいになり、できるだけその間口を確保して外部に取出すようにしている。それをうまく実現する方法の一例として、図15に示すようにフリップチップ2列構造を取っているが、電源／グランドペア線の構造によっては線状の電極も取りうることはいうまでもない。

【0074】すなわち、図17の断面図に示するような埋め込みキャパシタを前記バイパスコンデンサ26として使用することもできる。図17において、電源線65及びグランド配線63からなる電源／グランドペア線67の途中の電源／グランドペア配線分岐部91には、その間にキャパシタ絶縁膜92を介在させた一対の導電体層93、94からなる埋め込みキャパシタ95が形成されている。そしてこの埋め込みキャパシタ95を構成する一対の導電体層93、94の各一辺全面と、電源線65及びグランド配線63それぞれとがスタッド電極からなる接続部96、97を介して電気的に接続されている。

【0075】図示のように1枚構成のキャパシタであれば、電荷の取出し口の一辺全面から電荷を取出すことができる。また、キャパシタ絶縁膜92の誘電率を適宜選択すれば、電源／グランドペア線67間に設けられている絶縁膜と実質的に同じ膜厚で構成できることはいうまでもない。先に説明したように、バイパスコンデンサ26は容量が高々数nF程度という小さなキャパシタでよいという原則がこのような構造を取り得ることになる。

【0076】

【発明の効果】以上説明したようにこの発明によれば、電源／グランド配線の電荷供給能力を十分にし、トランジスタゲート回路の特性が制限とならない半導体回路装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の原理を説明するための回路モデルを示す図。

【図2】図1に示される回路モデルにおける電荷密度の変化状態を説明するためのタンク、バルブ及びパイプを用いたパイプラインのモデルを示す図。

【図3】図2のモデルをさらに概念的に示すモデル図。

【図4】この発明の半導体回路装置をタンク、パイプ及びバルブを用いたパイプラインのモデルで概念的に示す図。

【図5】図4のパイプラインに相当する電子回路を示す図。

【図6】図5の回路において信号線が2本の場合を例示した回路図。

【図7】図6の回路においてバイパスコンデンサを接続する位置と各回路点における電圧及び電流の関係についてシミュレーションを行った回路の構成を示す図。

【図8】図7の回路によりシミュレーションを行った結果を示す波形図。

【図9】図6の回路においてバイパスコンデンサの接続位置が変更された場合の回路図。

【図10】トランジスタゲート回路の電源／グランドペア配線の電源供給部に抵抗を挿入された場合の回路例を示す図。

【図11】本発明をLSIチップ及びパッケージを含む半導体装置に実施した第1の実施の形態による平面図。

【図12】本発明の第2の実施の形態によるLSIチップ内のレシーバ及びドライバ周辺の構成を示す平面図。

【図13】図12中のA-A'線に沿った断面図。

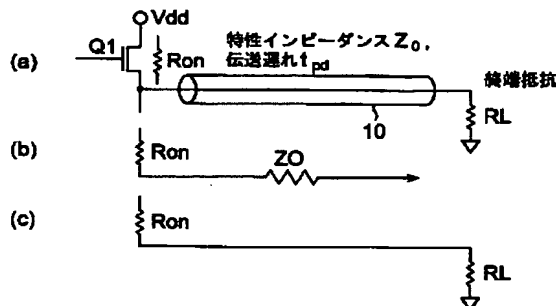
【図14】図11の半導体装置で使用されるバイパスコンデンサの詳細な構成を示す斜視図。

【図15】図14中のコンデンサの1つの導電体層における電荷の流れる様子を模式的に示す図。

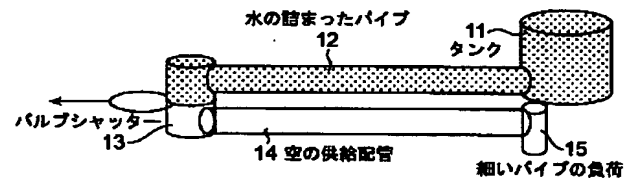
【図16】図14中のコンデンサの1対の電源層及びグランド層における電荷の流れる様子を模式的に示す図。

【図17】図11の半導体装置で使用されるバイパスコンデンサの他の構成を示す断面図。

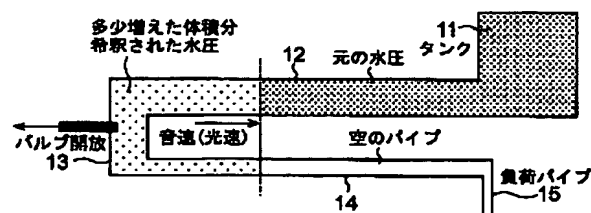
【図1】



【図2】



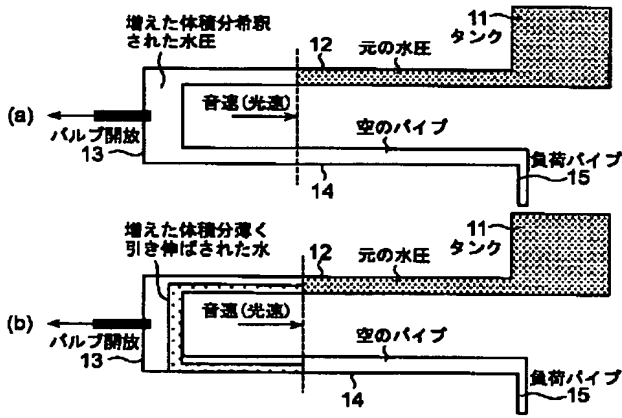
【図4】



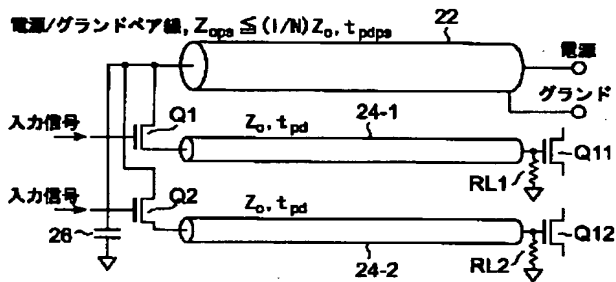
【符号の説明】

- 22…電源／グランドペア線、
- 24、24-1、24-2…信号／グランドペア線、
- 26…バイパスコンデンサ、
- 50…トランジスタゲート回路、
- 51…抵抗、
- 61…LSIチップ、
- 62a…電源パッド、
- 62b…グランドパッド、
- 62c…信号パッド、
- 63…グランド配線、
- 64…信号線、
- 65…電源線、
- 66…信号／グランドペア線、
- 67…電源／グランドペア線、
- 71…レシーバ、
- 72…ドライバ、
- 73…信号配線、
- 74、75…接続部、
- 81…導電体層、
- 82、83…層間接続用スルーホール電極、
- 84、85…フリップチップ構造の電極部、
- 91…電源／グランドペア配線分岐部、
- 92…キャパシタ絶縁膜、
- 93、94…導電体層、
- 95…埋め込みキャパシタ、
- 96、97…接続部、
- Q1、Q2…MOSトランジスタ（ドライバ）、
- Q11、Q12…MOSトランジスタ（レシーバ）、
- RL1、RL2…終端抵抗。

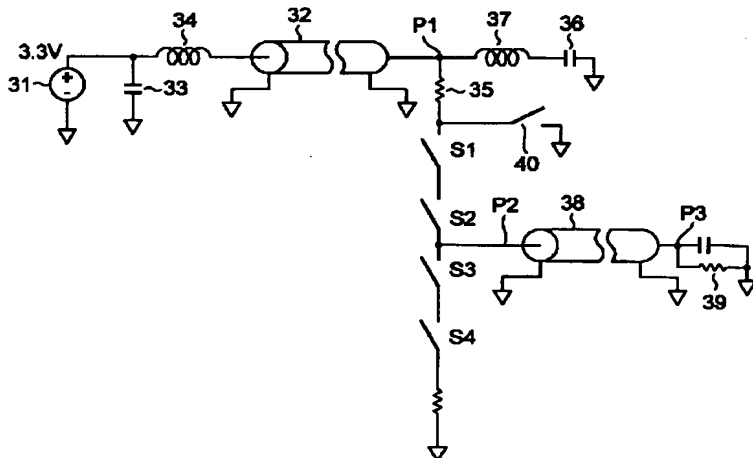
【図 3】



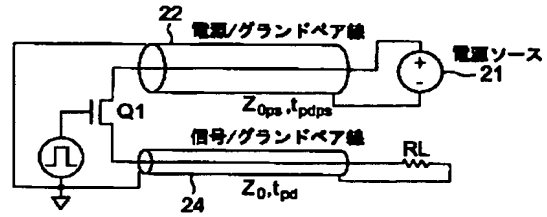
【図 6】



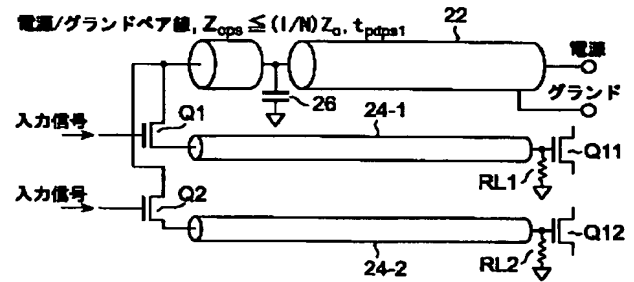
【図 7】



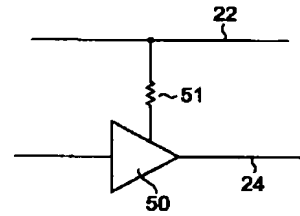
【図 5】



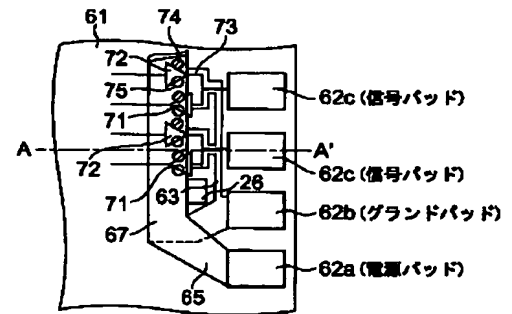
【図 9】



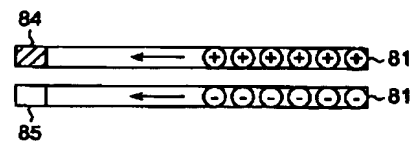
【図 10】



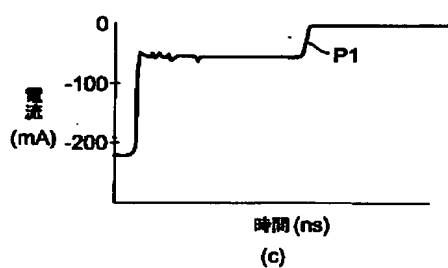
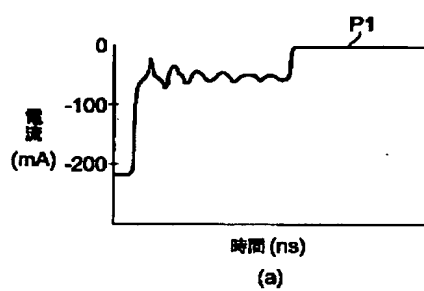
【図 12】



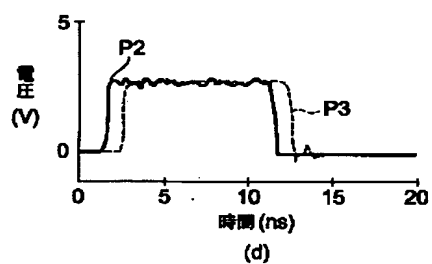
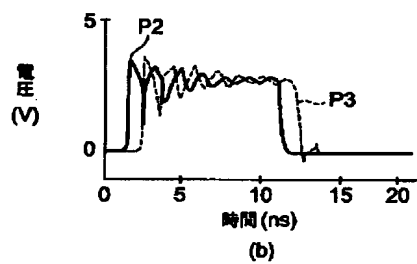
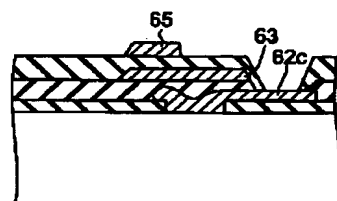
【図 16】



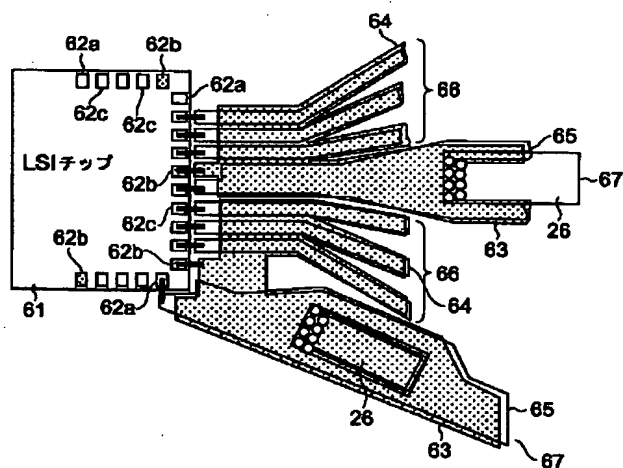
【図8】



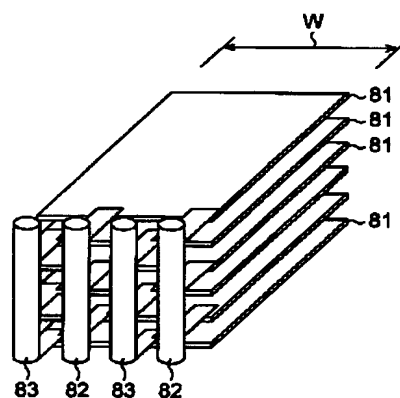
【図13】



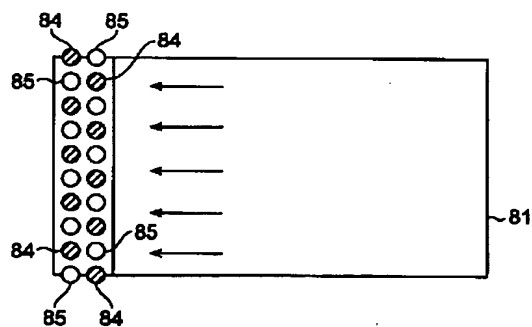
【図11】



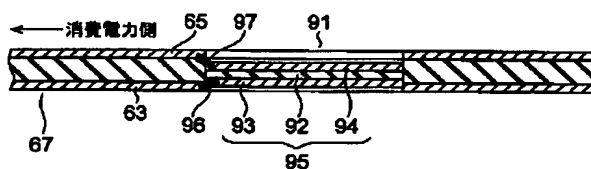
【図14】



【図15】



【図17】



フロントページの続き

(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門 1 丁目 7 番 12 号

(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通 2 丁目 5 番 5 号

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町 22 番 22 号

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川 6 丁目 7 番 35 号

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真 1006 番地

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目 2 番 3 号

(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町 21 番地

(72)発明者 大塚 寛治
東京都東大和市湖畔 2-1074-38

(72)発明者 宇佐美 保
東京都国分寺市西町 2-38-4

F ターム(参考) 5F038 AC01 AC17 BE07 BH19 CD02
CD05 CD14
5F064 CC23 DD42 EE23 EE26 EE27
EE43 EE52 EE53
5J014 CA42
5K029 AA03 DD04 DD24 GG07 HH01
JJ08